Organización del Computador
Práctico 2b

B. Gonzalez Kriegel - N. Wolovick

24 de marzo de 2000

1. Encuentre las expresiones SOP mínimas equivalentes a las siguientes funciones:

   (a) $f(A, B, C, D) = \begin{cases} 1 & \text{si 2 o más entradas son 1} \\ 0 & \text{c.c.} \end{cases}$

   (b) La función $b(A, B, C, D)$ expresada en el ejercicio 2a-11.

   Utilice primero mapas-K y luego obtenga las mismas expresiones operando con el álgebra de Boole.

2. Usando mapas-K, simplifique la siguiente función booleana que incluye condiciones *no-importa*.

$$f(A, B, C, D) = \sum(2, 8, 10, 11) + \sum(0, 9)_d$$

3. Transforme la expresión booleana de la función $b(A, B, C, D)$ del ejercicio 2a-11 en una equivalente de manera tal que se aumente la cantidad de niveles del circuito y se disminuya el número de entradas (*fan-in*) de las compuertas.

4. Se quiere implementar una compuerta AND-n (de n entradas) utilizando compuertas AND-3 solamente. Determine la cantidad mínima de compuertas y de *retardos de compuertas* para realizar una AND-n, donde por retardo de compuerta, entendemos la cantidad máxima de éstas que se atraviesan desde una entrada cualquiera hasta la salida (t.c.c. profundidad del circuito).

5. Un mapa-K puede ser utilizado para obtener una expresión POS mínima equivalente a una función booleana f cualquiera. Esto lo podemos lograr poniendo en el mapa los 1s de $\overline{f}$, agrupando en implicantes primos y obteniendo la expresión SOP mínima para $\overline{f}$. Luego por involución y De Morgan convertimos esta última en una expresión POS mínima para f.

   (a) Reduzca la función del ejercicio 2 a una expresión POS mínima usando el método descripto anteriormente. Compare la cantidad de términos obtenidos y la complejidad del circuito en función de la cantidad de compuertas, niveles y *fan-in* máximo.

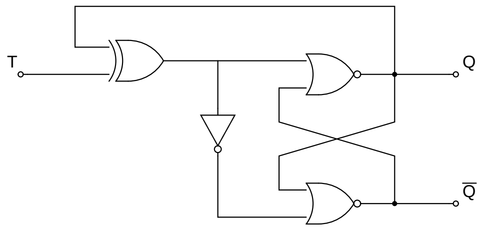
   (b) Genere la lista de pasos a realizar para que, a partir de una tabla de verdad, obtengamos directamente la expresión POS mínima usando el mapa-K.

6. El siguiente mapa-K está formado incorrectamente. Muestre la expresión reducida que produce este mapa, para luego generar un mapa-K correcto y derivar la expresión correcta a partir de él. Notar que ambos mapas producen expresiones correctas, es decir equivalentes a la dada, pero sólo el mapa-K bien formado produce una expresión mínima.

		ABC							
		000	001	011	010	110	111	101	100
D	0	1			1	1			1
	1	1			1	1			1

7. ¿Se podrá construir un FFSR usando dos compuertas XOR acopladas de manera cruzada?

8. Se tiene el siguiente diseño para un *latch transparente* de tipo T, el cual presenta el comportamiento característico de los *flip-flop* de tipo *toggle*.



T	$Q(t)$	$Q(t+1)$
0	x	x
1	x	$\overline{x}$

Sin embargo el diseño tiene un problema fundamental. Describa dicho problema y esboce una posible solución.

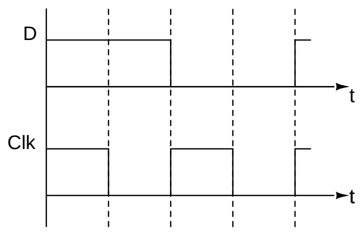
9. Obtenga diagramas lógicos para un:

   (a) FFT a partir de un FFJK.

   (b) FFJK a partir de un FFD.

   Probablemente sea necesario utilizar técnicas de diseño para el segundo punto.

10. * Diseñe un FFD con *clock* utilizando sólo 4 compuertas NAND. Muestre el diagrama de tiempos de Q y $\overline{Q}$ para el siguiente escenario de entradas,



donde suponemos que la salida de cada compuerta tiene un retardo Δt, que será una fracción del semiperiodo del reloj.

11. Cree el diagrama de transición de estados para una FSM que ordene 2 palabras binarias A y B (el bit más significativo primero) en 2 palabras binarias GE y LT. Si $A \geq B$, entonces $GE = A$ y $LT = B$. En otro caso, B aparece en GE y A en LT.

12. Diseñe un comparador serial de dos entradas, X e Y, y una salida Z de manera que

$$Z = \begin{cases} 1 & \text{si } X > Y \\ 0 & \text{c.c.} \end{cases}$$

Asuma que las palabras entran en forma serial con el LSB (bit menos significativo) primero e inicialmente tenemos $X = Y$ y $Z = 0$. Un ejemplo de un par de secuencias de entrada y una secuencia saliente podría ser:

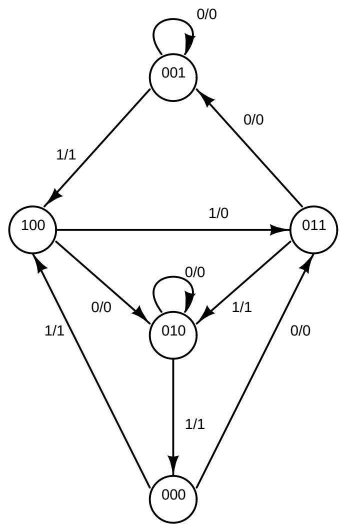
Utilice FFD para llevar el estado y MUXes, con la menor cantidad de entradas de selección, para implementar el circuito combinacional.

13. Se tiene un circuito secuencial con 3 FFD (A, B, C) y una entrada X, cuya parte combinacional está definida en las siguientes funciones:

$$\begin{aligned} D_A &= (B \oplus C)X + \overline{(B \oplus C)}\,\overline{X} \\ D_B &= A \\ D_C &= B \end{aligned}$$

Obtenga la tabla de estados y en fución de ésta dar la FSM en forma de diagrama de transición de estados. Note que las variables de salida son los valores que almacenan los FF (Q_A y Q_B), por lo que ésta es una *máquina Moore.*

14. Diseñe un circuito secuencial utilizando FFD para el siguiente diagrama de transición de estados,



donde el estado se etiqueta (A, B, C), la entrada X y la salida Y.

Obtenga la tabla de estados, rellenando con condiciones no-importa para los estados no contemplados en la FSM. A partir de la tabla, obtenga las funciones $A(t+1), B(t+1), C(t+1)$ y Y utilizando mapas-K con condiciones no-importa.

Verifique que la solución obtenida sea *autocorrectiva*, es decir, que si por alguna circunstancia se salta a un estado no contemplado en la FSM, se llegue en una cantidad finita de ticks de clock a un estado que si pertenece a la máquina de estados finitos, cualquiera sea el valor de la entrada.

15. Trace el diagrama de lógica de un registro de 4 bits con 2 entradas de modo S_0 y S_1, que operan de la siguiente forma:

S_1	S_0	Operación
0	0	Sin cambio
0	1	Complemento de la salida
1	0	Poner a 0 el registro
1	1	Carga de datos en paralelo