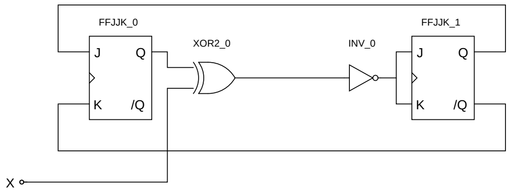
Organización del Computador
Práctico 3: Circuitos Secuenciales*

B. Gonzalez Kriegel - N. Wolovick

29 de marzo de 2001

1. Deduzca como cuenta el siguiente circuito, para $X = 0$ y para $X = 1$, es decir, obtenga la tabla de estados y luego el diagrama de transición de estados a partir del circuito esquemático[1].



2. Obtenga el diagrama de transición de estados para una *FSM* que ordena 2 palabras binarias que entran de manera serial en A y B (con el bit más significativo primero), en 2 palabras binarias que salen por GE y LT de manera serial también con el *MSB* primero. Por GE deberá salir la palabra mayor o igual y por LT la menor o igual.

3. (a) Demuestre que el *delay flip-flop FFD* es una "base" para los demás tipos de flip-flops, es decir demuestre que los *FFSR*, *FFT* y *FFJK* se pueden construir a partir de este.
   (b) ! ¿Se cumple en general que a partir de cada *FF* podemos generar todos los otros?

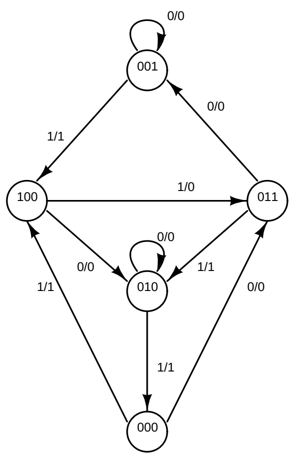
4. Un comparador serial *COMP* consta de un par de entradas X y Y por donde entran dos palabras bit a bit de manera serial. También tiene una salida Z que indica 1 si hasta el momento la palabra recibida en X es mayor o igual a la palabra recibida en Y. Dependiendo si las palabras entran con el *MSB* o *LSB* primero, surgen dos diseños.
   (a) Obtenga los dos diagramas de transición de estados que especifican la función $COMP$[2].
   (b) De las dos *FSM* implemente la que vaya a emplear la menor cantidad de flip-flops. Utilice *FFD*, *DECODERS* y compuertas OR_n.

5. Diseñe un circuito secuencial utilizando *FFD* que implemente el siguiente diagrama de transición de estados,

*Los ejercicios marcados con **!** son un poco más complicados, mientras que los marcados con ***** sirven para ganarse un punto por aterisco en los parciales. No se puede acumular más de 2 puntos por persona por parcial.

[1]Puede ser útil agregar columnas con valores intermedios en la tabla de estados como J_0, K_0, J_1, K_1.

[2]Intente utilizar la menor cantidad de estados posibles. Hint: Cuatro estados es mucho.



donde el estado se etiqueta ABC, la entrada X y la salida Y.

(a) Obtenga la tabla de estados, rellenando con condiciones *no-importa* para los estados no contemplados en la *FSM*. A partir de la tabla, obtenga funciones *SOP* mínimas A_{t+1}, B_{t+1}, C_{t+1} y Y utilizando *KMAP*s con condiciones no-importa.

(b) Verifique que la solución obtenida sea *autocorrectiva*, es decir, que si por alguna circunstancia se salta a un estado no contemplado en la *FSM*, en una cantidad finita de ticks de clock se llegue a un estado que si pertenece a la máquina de estados finitos cualquiera sea el valor de la entrada.

6. ! El *código Gray* es otra forma más de representar números naturales con bits. Esta codificación tiene la particularidad que sólo cambia un bit entre cada número y su sucesor. La siguiente tabla muestra el código Gray para números en el rango $[0, 7]$.

Num.	Gray	Num.	Gray
0	000	4	110
1	001	5	111
2	011	6	101
3	010	7	100

Diseñe un circuito secuencial que implemente un contador cíclico código Gray ascendente/descendente de 3 bits $A_2A_1A_0$ utilizando *MUX*es y *FFD*. El circuito posee una entrada X que indica el modo de cuenta (0 descendente, 1 ascendente), mientras que las salidas están dadas por los bits de la cuenta $A_2A_1A_0$.

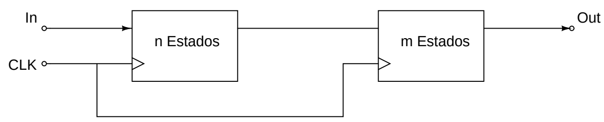
(a) Obtenga el diagrama de transición de estados.

(b) Genere la tabla de transición de estados asociada.

(c) Dibuje el diagrama lógico completo del circuito contador utilizando *MUX*es 8-a-1 para las funciones de entrada de los *FFD* D_{A_2}, D_{A_1} y D_{A_0} que se obtienen del estado en $t+1$.

7. * Diseñe una *FSM* utilizando *FFJK* que detecte números congruentes a 0 módulo 5. Analice su *autocorrectividad.*

8. Dada una *FSM* de n estados y otra de m estados ¿Cuántos estados son posibles en un circuito como este?

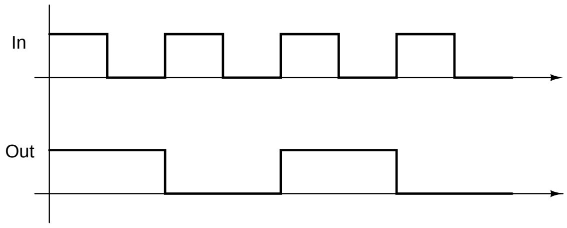


9. Considere un *FSM* con m flip-flops y un número arbitrario de compuertas $NAND_2$ para la lógica combinacional que define el estado siguiente. Además en circuito consta de un número arbitrario de entradas. ¿Cuál es el máximo número de estados posibles para esta máquina?

10. Diseñe un contador binario ascendente *síncrono* genérico de n bits utilizando sólo *FFT*.

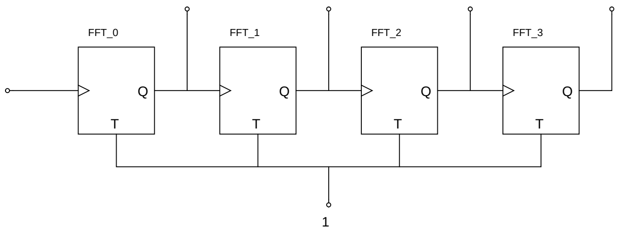
11. ! Se tiene una *FSM* de n estados que sólo tiene la entrada *CLK* y la salida D, que toma el valor 1 si y solo si el número de *clock ticks* es múltiplo de 2 o de 3. ¿Cuántos estados se requieren para esta máquina?

12. Un divisor de frecuencia por 2 tiene la siguiente especificación:



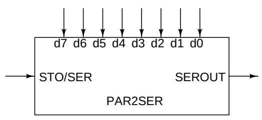
señe este dispositivo usando un sólo *FFD* y lógica combinatoria externa. Intente que esta última sea mínima. ¿Qué otro nombre tiene este circuito?

13. Dado el siguiente circuito secuencial *asíncrono*



¿Que es lo que hace? ¿Es posible extender el diseño a cualquier longitud? Explique.

14. Un *conversor paralelo serie* es un circuito capaz de almacenar una palabra y devolverla en forma serial. Diseñe un conversor paralelo serie de 8 bits con entradas $D_0 \dots D_7$ para cargarlo en paralelo, entrada de selección de modo STO/SER donde $STO/SER = 1$ indica carga en paralelo y $STO/SER = 0$ indica salida serial. La única salida es S por dónde salen los bits seriales.



15. Trace el diagrama de lógica de un registro de n bits con carga paralelo, reset y complemento. Las operaciones se controlan con dos entradas de modo S_1S_0 como lo indica la siguiente tabla:

S_1S_0	Operación
00	Sin cambio
01	Complemento de la salida
10	Poner a 0 el registro
11	Carga de datos en paralelo

Se dispone también de una entrada de habilitación E que desconecta el circuito de sus salidas, a fin de poder interactuar sobre un bus. Asegure que cuando $E = 0$ nada cambia en los registros.